

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-224930

(43)Date of publication of application : 17.08.1999

(51)Int.Cl.

H01L 23/50

(21)Application number : 10-333271

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 24.11.1998

(72)Inventor : KAJIWARA YUJIRO  
SUZUKI KAZUNARI  
TSUBOSAKI KUNIHIRO  
SUZUKI HIROMICHI  
MIYAKI YOSHINORI  
NAITO TAKAHIRO  
KAWAI SUEO

(30)Priority

Priority number : 04 71116  
04320098

Priority date : 27.03.1992  
30.11.1992

Priority country : JP

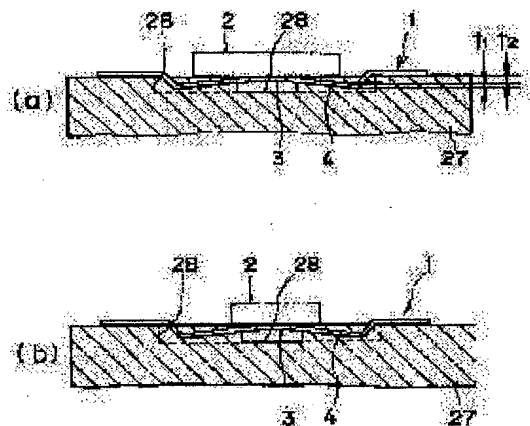
JP

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide improved bonding performance of a semiconductor chip.

SOLUTION: A lead frame 1 has a die pad 3 which is smaller than the size of a semiconductor chip 2. A circumferential part of a bonding face in the semiconductor chip 2 is separated from a hanging lead 4, when the semiconductor chip 2 is bonded to the die pad 3. Since the circumferential part of the main face of the semiconductor chip 2 is separated from the hanging lead 4 when the main face thereof is bonded to the main face of the semiconductor-chip mounting part, the circumferential part of the main face of the semiconductor chip 2 can be put in contact with the heat stage. As a result, since heat conduction to the circumferential part is carried out effectively, bonding performance of the semiconductor chip 2 is improved.



## LEGAL STATUS

[Date of request for examination]

16.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-224930

(43) 公開日 平成11年(1999) 8月17日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

U

審査請求 未請求 請求項の数 3 O L (全 14 頁)

(21) 出願番号 特願平10-333271  
 (62) 分割の表示 特願平5-65784の分割  
 (22) 出願日 平成5年(1993) 3月25日  
 (31) 優先権主張番号 特願平4-71116  
 (32) 優先日 平4(1992) 3月27日  
 (33) 優先権主張国 日本 (J P)  
 (31) 優先権主張番号 特願平4-320098  
 (32) 優先日 平4(1992) 11月30日  
 (33) 優先権主張国 日本 (J P)

(71) 出願人 000005108  
 株式会社日立製作所  
 東京都千代田区神田駿河台四丁目6番地  
 (71) 出願人 000233169  
 株式会社日立超エル・エス・アイ・システムズ  
 東京都小平市上水本町5丁目22番1号  
 (72) 発明者 梶原 祐二郎  
 東京都小平市上水本町5丁目22番1号 株式会社日立マイコンシステム内  
 (74) 代理人 弁理士 筒井 大和

最終頁に続く

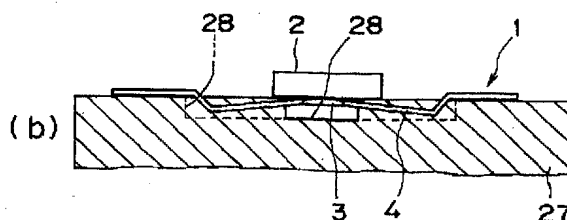
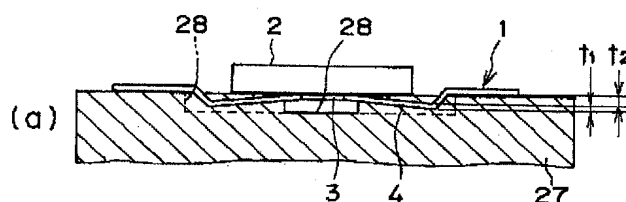
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 半導体チップのボンディング性能を向上させる。

【解決手段】 半導体チップ2のサイズより小さいサイズのダイパッド3を有するリードフレーム1を使用し、半導体チップ2のダイパッド3への接着面部の周辺部を吊りリード4から離間させる。

図 28



1 : リードフレーム

2 : 半導体チップ

3 : ダイパッド

4 : 吊りリード

27 : ヒートステージ

28 : 逃げ溝

**【特許請求の範囲】**

**【請求項1】** 半導体チップを搭載するための一主面を有する半導体チップ搭載部と、前記半導体チップ搭載部を支持する吊りリード部と、前記半導体チップ搭載部の周囲を取り囲むように配置された複数のインナーリード部と、前記複数のインナーリード部それぞれと一体に形成され前記複数のインナーリード部から外方に向かって延在する複数のアウターリード部と、前記半導体チップ搭載部の一主面に接続され前記半導体チップ搭載部より大きいサイズで集積回路および複数のボンディングパッドが形成された主面を有する半導体チップと、前記半導体チップの複数のボンディングパッドと前記複数のインナーリード部とを接続する複数のボンディングワイヤと、前記半導体チップ、前記半導体チップ搭載部、前記吊りリード部、前記複数のインナーリード部および前記複数のボンディングワイヤを樹脂で封止した樹脂封止体とから成り、さらに、前記半導体チップ搭載部の一主面に接続される前記半導体チップの他の主面の周辺部は、前記吊りリード部から離間していることを特徴とする半導体集積回路装置。

**【請求項2】** 前記半導体チップは、前記半導体チップ搭載部の一主面に接着剤により接続され、また、前記半導体チップの他の主面の周辺部には、前記接着剤が存在しないことを特徴とする請求項1記載の半導体集積回路装置。

**【請求項3】** 前記半導体チップ搭載部の一主面は、前記複数のインナーリード部の前記複数のボンディングワイヤが接続される側の面とは反対側の面側に位置していることを特徴とする請求項1記載の半導体集積回路装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体集積回路装置に関し、特にリードフレームの標準化およびLSIパッケージのリフロー・クラック耐性の向上、半導体チップのボンディング性能の向上に適用して有効な技術に関するものである。

**【0002】**

**【従来の技術】** QFP (Quad Flat Package) などの表面実装型樹脂封止半導体装置 (Surface Mount Device) であるLSIパッケージは、リフロー半田工程におけるパッケージ・クラックの発生をいかに抑えるかが重要な課題となっている。

**【0003】** すなわち、LSIパッケージが吸湿した場合、LSIパッケージ全体を加熱するリフロー半田工程での高温に起因する内部応力によって樹脂とダイパッドとの界面などに剥離が生じる。パッケージ・クラックとは、この剥離がダイパッド界面に結露していた水分の膨張、すなわち水蒸気圧によって拡大して樹脂が割れる現象である。これにより、耐湿性の劣化、樹脂のふくれに

よる半田付け不良が生じていた。また、このパッケージ・クラックが半導体チップの上面で発生すると、ワイヤの切断などの深刻な不良を引き起こすことになる。

**【0004】** 従来、樹脂とダイパッドの界面の剥離を防ぐ対策としては、ダイパッドの一部に貫通孔を設け、この貫通孔を通じて半導体チップの裏面を樹脂と密着させる方法 (特開平2-83961号公報) や、ダイパッドの裏面にディンプル加工を施すことによって、樹脂とダイパッドの接着力を向上させる方法などが知られている。

**【0005】** 他方、ピン数が同じでチップサイズが違う製品、例えば一品種あたりの製品数量が少ないASIC (Application Specific Integrated Circuit) 製品においても、高密度実装が可能な製品が要求されており、前述したQFPなどの表面実装型LSIパッケージに半導体チップを搭載する傾向にある。そこで従来は、チップサイズに対応したリードフレームを作成して製品を製造していたため、その製造コストの上昇を招いていた。

**【0006】** そのため、生産数量が少ない各種チップサイズのASICに対応することのできるリードフレームとして、「日経マイクロデバイゼス、1987年12月号」P76～P78には、ポリイミド樹脂系のテープをダイパッドとしてインナーリードに取付け、このテープ上に半導体チップを搭載するリードフレームが開示されている。

**【0007】**

**【発明が解決しようとする課題】** しかしながら、近年のLSIパッケージは、樹脂体中に占める半導体チップの面積割合が増加している。さらに樹脂の肉厚が従来よりも極めて薄くなっているため、前述した対策、すなわち、ダイパッドに貫通孔やディンプルを形成するといった方法ではパッケージ・クラックの発生を有効に防止することが困難になりつつある。

**【0008】** また、チップサイズに対応したリードフレームを作らずに、従来のリードフレーム、すなわちダイパッドのサイズないし外形寸法 (チップ搭載面の面積) が半導体チップのサイズないし外形寸法 (チップ主面あるいは裏面の面積) よりも大きいリードフレームを用いることを検討したが、ダイパッドに搭載する半導体チップの大きさがかなり制限されることが分かった。

**【0009】** すなわち、ダイパッドの外形寸法よりも1～2mm以上小さい半導体チップを搭載すると、ワイヤが垂れてダイパッド端に接触し、ワイヤボンディング不良を起こすので、比較的小さい半導体チップは使用できない。また、インナーリードの先端の位置がダイパッドによって制限され、かつワイヤの長さにも制限 (ワイヤ長は、ワイヤボンダの性能や電気的特性などにより決定され、1.0mm～5.0mm位が適当とされている) があるため、比較的小さいチップを用いることはできない。他方、ダイパッド上には、その外形寸法までの大きさの半

導体チップしか搭載できないため、大きい方のチップサイズも制限が生じる。

【0010】また、前述したダイパッドとしてポリイミド樹脂系のテープをインナーリードに取付けたものは、半導体チップの大きさに制限はなくなるが、テープの熱膨張係数がリードフレームや半導体チップのそれと異なるため、半田リフロー工程において互いの熱膨張係数の違いからそれらの界面に剥離が生じ、パッケージ・クラックが発生する。従って、界面剥離やパッケージ・クラックの発生を防ぎ、しかも各種サイズの半導体チップを搭載することのできるLSIパッケージが必要である。

【0011】本発明の一つの目的は、半導体チップのボンディング性能を向上させる構成よりなる半導体集積回路装置を提供することにある。

【0012】本発明の他の一つの目的は、LSIパッケージのリフロー・クラック耐性を向上させることのできる技術を提供することにある。

【0013】本発明の他の目的は、LSIの少量多品種化に対応したリードフレームを用いた半導体集積回路装置を提供することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、下記のとおりである。

【0016】本発明の半導体集積回路装置は、半導体チップを搭載するための一主面を有する半導体チップ搭載部と、前記半導体チップ搭載部を支持する吊りリード部と、前記半導体チップ搭載部の周囲を取り囲むように配置された複数のインナーリード部と、前記複数のインナーリード部それぞれと一体に形成され前記複数のインナーリード部から外方に向かって延在する複数のアウターリード部と、前記半導体チップ搭載部の一主面に接続され前記半導体チップ搭載部より大きいサイズで集積回路および複数のボンディングパッドが形成された主面を有する半導体チップと、前記半導体チップの複数のボンディングパッドと前記複数のインナーリード部とを接続する複数のボンディングワイヤと、前記半導体チップ、前記半導体チップ搭載部、前記吊りリード部、前記複数のインナーリード部および前記複数のボンディングワイヤを樹脂で封止した樹脂封止体とから成り、さらに、前記半導体チップ搭載部の一主面に接続される前記半導体チップの他の主面の周辺部は、前記吊りリードから離間しているものである。

【0017】上記した本発明の半導体集積回路装置によれば、半導体チップ搭載部に接続される半導体チップの他の主面の周辺部が吊りリードから離間していることにより、その周辺部はヒートステージに接触でき、効率良

く熱伝導が行われ、半導体チップのボンディング性能が向上する。

【0018】また、上記した半導体集積回路装置によれば、チップ搭載部のサイズないし外形寸法をその上に搭載する半導体チップのそれよりも小さくしたことにより、外形寸法がかなり広い範囲で異なる各種の半導体チップで共用することができるため、LSIパッケージの少量多品種化に対応したリードフレームを用いた半導体集積回路装置の製造方法を提供することができる。

【0019】さらに詳しく説明すると、従来のリードフレーム、すなわちチップ搭載部の外形寸法がその上に搭載する半導体チップの外形寸法よりも大きいリードフレームを用いる場合、前述したようになりかなり狭い範囲（チップ搭載部の外縁からチップ端までが1～2mm）のサイズの半導体チップしか共用できないので、インナーリード先端をカットする必要がない。

【0020】これに対し、本発明のリードフレームは、チップ搭載部の外形寸法がその上に搭載される半導体チップのそれよりも小さいため、広い範囲（本願で説明するリードフレームでは5mm～15mm×5mm～15mmの半導体チップ）のサイズの半導体チップが共用できるので、ワイヤ長の制限に合わせてインナーリード先端位置を変更する必要がある場合にも十分対応できる。

【0021】さらに、LSIパッケージの少量多品種化に対応したリードフレームを提供できると共に、チップ搭載部の外形寸法がその上に搭載される半導体チップのそれよりも小さいので、チップ搭載部の上に搭載された半導体チップの裏面が封止樹脂と接着する。そして、半導体チップ（シリコン）と樹脂との界面の接着力は、チップ搭載部（金属）と樹脂との界面の接着力よりも大きいので、チップ搭載部と樹脂との界面に水分が浸入するのを防止することができ、LSIパッケージを半田リフローによって基板に実装する際のパッケージ・クラックを抑制することができる。

【0022】

【発明の実施の形態】図1は、本発明の一実施の形態であるQFPの製造に用いるリードフレームの平面図である。

【0023】リードフレーム1の中央部には、主面に集積回路およびボンディングパッドが形成された半導体チップ2を搭載するための円形のダイパッド（チップ搭載部）3が形成されている。このダイパッド3は、四本の吊りリード4によって支持されている。ダイパッド3のチップ搭載面のサイズないし面積は、その上に搭載される半導体チップ2の主面のサイズないし面積よりも小さく設定されているのが特徴である。

【0024】ダイパッド3の周囲には、複数本のリード5がダイパッド3を囲むように配置されている。吊りリード4の幅広部およびリード5の中途部には、絶縁性の薄い合成樹脂フィルムからなるテープ6が棒状に形成さ

れて接着されている。このテープ6の外側には、リード5の支持とモールド時における樹脂の溢出防止とを兼ねたダムバー7が枠状に各リード5間を連結するように形成されている。

【0025】リードフレーム1の最外周部は、単位フレームを複数連結している外枠8および各単位フレーム間を分離するように形成されている内枠9からなり、外枠8の一部には、リードフレーム1をモールド金型に位置決めする際のガイドとなるガイド孔10が設けられている。

【0026】リードフレーム1を構成する上記ダイパッド3、吊りリード4、リード5、ダムバー7、外枠8および内枠9は、42アロイや銅などの導電材料からなる。リード5の一部を構成し、後に樹脂で封止されるインナーリード部5aの先端には、Agのメッキが施されている。図示はしないが、リードフレーム1は、これらの各部により構成される単位フレームを一方向に複数個連設した構成になっている。

【0027】次に、上記リードフレーム1の製造方法の一例を図2～図10を用いて説明する。

【0028】まず、図2に示すように、フープ材をプレス加工して、ダイパッド3、吊りリード4、リード5（インナーリード部5aおよびアウターリード部5bからなる）、ダムバー7、外枠8、内枠9およびガイド孔10を一体形成する。一例として、フープ材は板厚0.15mm程度の42アロイからなる。また、ダイパッド3の直径は3mm程度、吊りリード4の幅は0.3mm程度である。インナーリード部5a間のピッチは、加工限界を考慮して、例えば132ピンのリードフレームでは約0.22mm、168ピンでは0.25mmである。更にダイパッド3の中心からインナーリード5aの先端までの距離は、最大、132ピンで約5mm、168ピンで約6.2mmである。

【0029】上記の各部をプレスで形成する場合は、図3に示すように、切断箇所の裏面側にバリ11ができる。本実施の形態のリードフレーム1は、ダイパッド3の面積がその上に搭載される半導体チップ2の面積より小さいので、ダイパッド3のチップ搭載面にバリ11ができると半導体チップ2を接着することができなくなる。従って、ダイパッド3をプレス加工する時は、チップ搭載面を上に向けて上から打ち抜き、バリ11がチップ搭載面の裏面側にできるようにする。

【0030】一方、インナーリード部5aの先端は、ワイヤボンディングの際にバリ11が下側にあると、ワイヤがボンディングされにくく、ボンディング不良が生じることがある。従って、インナーリード部5aをプレス加工する時は、ボンディング面を下に向けて上から打ち抜き、バリがワイヤボンディング面側にできるようにする。

【0031】次に、図4に示すように、インナーリード

部5aのワイヤボンディング領域32にAgメッキを施す。後述するように、本実施の形態のリードフレーム1は、ダイパッド3上に搭載する半導体チップ2の外形寸法に応じてリード5の先端を所定の長さに切断して使用するため、従来のリードフレームに比べてAgメッキを施す領域の面積を大きくしてある。例えば従来の場合、ワイヤボンディング誤差、メッキ層形成時の誤差を考慮して、インナーリード部5aの先端からの距離が1mm程度の範囲であればよかったが、本発明では、1mm以上、第1カット、第2カットを考慮すると1.5～2mm以上必要である。

【0032】次に、リードフレーム1のダウンセット加工を行う。ダウンセット加工は、図5(a)、(b)に示すように、プレス型12を使って吊りリード4の中途部（同図(b)の符号Sで示す部分）を下方に折り曲げることににより、水平方向から見たダイパッド3の高さをリード5の高さよりも低くする作業である。すなわち、ダイパッド3のチップ搭載面側とインナーリード部5aのワイヤボンディング面を第1の面、この第1の面に対向する面を第2の面とすると、ダイパッド3の第1の面が、インナーリード部5aの第1の面よりも第2の面側に位置するように加工する。

【0033】図6は、ダウンセット加工を施したリードフレーム1の平面図である。一例として、ダイパッド3の中心から各吊りリード4のダウンセット位置（S）までの距離は、8.5～9.0mm程度であり、ダウンセット量（ダイパッド3の主面からリード5の主面までの高さ）は、0.2mm程度である。

【0034】上記のダウンセット加工を施すことにより、半導体チップ2を搭載したリードフレーム1をモールド金型に装着してパッケージを成形する際に、半導体チップ2の上面側とダイパッド3の下面側とで樹脂の肉厚をほぼ等しくすることができる。

【0035】次に、ダイパッド3を支持する吊りリード4の中途部（吊りリード4の幅広になっている部分）およびインナーリード部5aにテープ6を接着する。テープ6の接着は、図7に示すように、ヒートステージ13上に載置したリードフレーム1の上にテープ6を位置決めし、上方からツール14を圧着して行う。一例として、テープ6は外形寸法18.5mm×18.5mm程度、幅1.5mm程度、厚さ0.05mm程度のポリイミド樹脂からなるフィルム6aの片面にアクリル樹脂系の接着剤6bを厚さ0.02mm程度塗布した構成になっている。

【0036】図8は、テープ6を接着したリードフレーム1の平面図、図9は図8のIX-IX線における断面図、図10は図8のX-X線における断面図である。

【0037】テープ6の接着面積を確保するため、図8に示すように、吊りリード4の中途部は、他の部分より幅を広くしてある（吊りリード4の幅広部）。すなわち、この幅広部にテープ6、すなわち絶縁性のフィルム

を接着してダイパッド3を固定することにより、半導体チップ2を搭載したリードフレーム1をモールド金型に装着してパッケージを成形する際、熔融樹脂の流動によるダイパッド3の変動を防止することができるので、半導体チップ2の上面側とダイパッド3の下面側とで熔融樹脂の流速がほぼ等しくなり、貫通ボイドなどの成形不良の発生を防止することができる。

【0038】このようにして得られる本実施の形態のリードフレーム1は、ダイパッド3のチップ搭載面の面積がその上に搭載される半導体チップ2の主面あるいはこの主面に対向する裏面の面積よりも小さいので、外形寸法の異なる各種の半導体チップを搭載することが可能である。また、リード5の先端を切断してリード5を短くすることにより、さらに大面積の半導体チップ2を搭載することも可能である。

【0039】図11(a)は、大面積、すなわち前記図1中に二点鎖線で示されている半導体チップ2よりも大面積の半導体チップを搭載するために、リード5の先端を切断したリードフレーム1aの平面図であり、図11(b)はそのXI-XI線における断面図である。なお、図11(a)中の破線は、切断前のリード5の先端位置を示している。図12は、リード5の先端をさらに切断したリードフレーム1bの平面図であり、このようにすると、さらに大面積の半導体チップを搭載することができる。

【0040】このようにして、例えばダイパッド3の直径が3mm程度である場合は、外形寸法が5mm×5mm程度から15mm×15mm程度の範囲までの各種半導体チップを搭載することができる。リード5の切断はプレスにより行うが、ワイヤボンディング領域32に施したAgメッキの剥離を防止するため、ワイヤボンディング領域32を下に向けて行う。従って、図11(b)に示すように、インナーリード部5aの先端は、上側を向くように成形される。

【0041】次に、上記リードフレーム1を用いたQFPの製造方法の一例を図13～図30を用いて説明する。

【0042】まず、図13に示すように、リードフレーム1のダイパッド3上に半導体チップ2を接着するための接着剤15を塗布する。なお、同図にはリード5の先端を切断していないリードフレーム1を示してあるが、半導体チップ2よりも大面積の半導体チップを搭載する場合は、ダイパッド3上に接着剤15を塗布する工程に先立って、あらかじめリード5の先端を所定の長さに切断しておく。すなわち、前記図11のリードフレーム1aあるいは前記図12のリードフレーム1bを形成しておく。リード先端のカット（切断）は、チップが搭載される場合に、そのチップ外周部とインナーリード5aの先端が接続しない距離以上（例えば0.5mm以上）離れる位置を考慮して行う。

【0043】接着剤15の塗布は、図14に示すよう

に、ステージ16上に載置したリードフレーム1のダイパッド3上にディスペンサ17を使って接着剤15を滴下することにより行う。接着剤15は、一例として熱硬化性のエポキシ樹脂にAg粉末を混入させたものからなる。なお、図中の符号18はノズル、19は注入容器である。ダイパッド3の大きさは、接着剤15が塗布される分だけあればよい。

【0044】上記リードフレーム1は、ダイパッド3の面積が小さいので、接着剤15をダイパッド3の主面の一点に塗布するだけでよい。そのため、ダイパッドの面積が大きい従来のリードフレームに比べると、使用するノズル18の構造が簡単で済み、かつ接着剤15の塗布も短時間で済み、その塗布量も低減できるという利点がある。

【0045】さらに、図15に示すように、ダイパッド3の周囲に吊りリード4よりも幾分幅の広い小パッド（あるいは接着剤塗布部ともいう）20を形成し、ダイパッド3およびこの小パッド20のそれぞれの主面上に接着剤15を塗布するようにしてもよい。このようにすると、十分な接着強度が得られるので、ダイパッド3上で半導体チップ2が回転ずれを起こしたりする不具合を防止することができる。また、小パッド20（接着剤塗布部）を形成したことにより、実質的に吊りリード4の剛性が増すので、半導体チップ2を搭載したリードフレーム1をモールド金型に装着してパッケージを成形する際、熔融樹脂の流動によるダイパッド3の変動を防止することができる。

【0046】上記小パッド20は、図16に示すように、それぞれの吊りリード4の途中、例えばダイパッド3と中途部Sとの間に形成してもよい。この場合も前記同様の効果を得ることができる。

【0047】次に、図17に示すように、接着剤15を塗布したダイパッド3上にコレット21を使って半導体チップ2を位置決めする。一例として、半導体チップ2は外形寸法5.34mm×5.34mm程度、厚さ0.4mm程度のシリコン単結晶からなる。

【0048】図18は、ダイパッド3を支持する吊りリード4の一部にV溝22を形成したリードフレーム1の平面図である。このV溝22は、ダイパッド3上に半導体チップ2を正確に位置決めするための目盛りとして利用されるもので、図19にその断面を拡大して示すように、各吊りリード4の主面上に一定の間隔をおいて複数形成される。

【0049】そして、ダイパッド3上に半導体チップ2を位置決めする際は、図20(a)～(c)に示すように、リードフレーム1の上方からカメラ（図示せず）などを使ってV溝22の位置を検出し、その情報に基づいて、各種外形寸法の半導体チップ2を正確な位置に移動させる。

【0050】また、図21に示すように、各吊りリード

4の途中、すなわちダイパッド3と中途部Sとの間に複数の突起23を一定の間隔で形成し、これをダイパッド3上に半導体チップ2を位置決めするための目盛りとして利用してもよい。これらのV溝22や突起23は、ダイパッド3上に半導体チップ2を位置決めした後の外観検査工程で利用することもできる。

【0051】次に、図22に示すように、ダイパッド3上に半導体チップ2を位置決めしたリードフレーム1をヒートステージ24上で加熱して接着剤15を硬化させる。一例として、加熱条件は200～250℃、30秒～1分程度である。なお、接着剤15の硬化は、オーブンを使って行うこともできる。図23は、ダイパッド3上に半導体チップ2を搭載する工程が完了したリードフレーム1の平面図である。

【0052】次に、図24～図26に示すように、ダイパッド3上に搭載された半導体チップ2のボンディングパッド25とリード5との間をAuのワイヤ26でボンディングし、電氣的に接続する。図25は、インナーリード部5aと半導体チップ2との接続関係を示す断面図、図26は、吊りリード4と半導体チップ2との関係を示す断面図である。

【0053】図24に示すように、本実施の形態のリードフレーム1は、半導体チップ2の各辺に沿ってリード5の先端をV字状に配列してある（半導体チップ2のコーナー部近傍の、すなわち吊りリード4に近い方のリード5を長く、各辺中央部近傍の、すなわち吊りリード4から遠くに位置するリード5を短くしてある）。これにより、ワイヤ26の長さが全てのボンディングパッド25とリード5との間でほぼ等しくなるので、ワイヤの長さを変更する必要がなく、ワイヤボンディング作業が容易になる。

【0054】図27は、本実施の形態で使用するワイヤボンディング装置のヒートステージ27の主面を示す平面図である。このヒートステージ27の主面には、リードフレーム1のダイパッド3と吊りリード4の一部（前記ダウンセット位置（S）よりも内側の部分）とが嵌め込まれる逃げ溝28が形成されている。

【0055】ヒートステージ27の主面に上記のような逃げ溝28を形成したことにより、図28に示すように、ダイパッド3上に大面積の半導体チップ2bを搭載したリードフレーム1（同図(a)）でも、小面積の半導体チップ2を搭載したリードフレーム1（同図(b)）でも、ワイヤボンディングが可能となるので、半導体チップ2の外形寸法が変わる毎にヒートステージ27を交換する手間が不要となる。なお、図28(a)中の符号 $t_1$ はリードフレーム1の板厚（本実施の形態では0.15mm程度）を示し、 $t_2$ はダイパッド3のダウンセット量（本実施の形態では0.2mm程度）を示している。図28から明らかなように、逃げ溝28の深さは $t_1 + t_2$ よりも大きいので、ダウンセット（タブ下げ）加工のばらつき

が吸収され、またリードフレーム1のダイパッド3と吊りリード4の一部を逃げ溝28に嵌め込ませた場合、ワイヤボンディングされるリードやチップの部分は図示のようにヒートステージ27に密着し、熱伝導が良くなることにより、ボンディング性能が向上する。ワイヤの長さは、ボンディングパッドからインナーリード部5aのボンディング点までの直線距離で1.0～5.0mm位である。

【0056】次に、上記リードフレーム1をモールド金型に装着し、図29に示すように、半導体チップ2、吊りリード4、インナーリード部5aおよびワイヤ26をエポキシ樹脂などでモールドすることによりパッケージ本体29を成形した後、リードフレーム1の不要箇所、すなわちパッケージ本体29の外部に露出したダムバー7、外枠8および内枠9などをプレスで切断除去し、最後にパッケージ本体29の外部に露出したリード5を所定の形状に成形することにより、QFP形の表面実装型半導体装置30が完成する。その後、この表面実装型半導体装置30をリフロー半田付け法により配線基板（図示せず）上に実装する。

【0057】本実施の形態のリードフレーム1を用いて製造された表面実装型半導体装置（QFP）30は、ダイパッド3の面積がその上に搭載された半導体チップ2の面積よりも小さいため、半導体チップ2の周辺部の裏面が封止樹脂と密着している。

【0058】これにより、封止樹脂とダイパッド3との界面の接着力が増大するので、水分が浸入してもリフロー半田工程の高温に起因する水分膨張による上記界面の剥離を抑制することができ、リフロー・クラック耐性の向上した表面実装型半導体装置（QFP）30を提供することができる。

【0059】また、本実施の形態のリードフレーム1は、外形寸法の異なる各種の半導体チップ2を搭載することができるので、外形寸法の異なる半導体チップ毎にリードフレームを作成する手間が不要となる。これにより、リードフレーム1を標準化することができるので、その製造コストが低減され、表面実装型半導体装置（QFP）30を安価に提供することができる。

【0060】また、本実施の形態のリードフレーム1は、ダイパッド3の外形寸法を小さくしたことにより、半導体チップ2をダイパッド3上に搭載する際に用いる接着剤15の使用量を少なくすることができるので、この点においても、表面実装型半導体装置（QFP）30を安価に提供することができる。

【0061】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0062】ダイパッドの形状は円形に限らず、チップのダイパッドへの接着強度や接着剤の最低塗布領域を確



保していれば、例えば矩形であってもよい。また、図31に示すように、半導体チップ2の面積よりも小面積のダイパッド3の一部に貫通孔31を形成し、半導体チップ2と樹脂との接着面積をさらに大きくすることにより、リフロー・クラック耐性をさらに向上させることができる。

【0063】また、図32に示すように、四本の吊りリード4が交差する部分の幅を広く形成し、この部分をダイパッド3として利用してもよい。

【0064】前記実施の形態では、QFPを製造するためのリードフレームに本発明を適用した場合について説明したが、表面実装型LSIパッケージの組み立てに用いるリードフレーム全般に適用することができる。また、DIP (Dual In-line Package) のようなピン挿入型LSIパッケージの製造に用いるリードフレームに適用することもできる。

【0065】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0066】(1). 本発明によれば、リフロー・クラック耐性の向上したLSIパッケージを提供することができる。

【0067】(2). 本発明によれば、LSIパッケージの少量多品種化に対応したリードフレームを提供することができるので、LSIパッケージの製造コストを低減することができる。

【0068】(3). 本発明によれば、半導体チップ搭載部の一主面に接続される半導体チップの他の主面の周辺部が吊りリードから離間していることにより、その周辺部はヒートステージに接触できる。その結果、その周辺部への熱伝導が効率良く行われるので、半導体チップのボンディング性能が向上する。

【図面の簡単な説明】

【図1】本発明の半導体集積回路装置に用いられるリードフレームの一例の平面図である。

【図2】本発明のリードフレームのプレス工程を示す平面図である。

【図3】本発明のリードフレームのプレス工程を示す説明図である。

【図4】本発明のリードフレームのメッキ工程を示す平面図である。

【図5】(a), (b) は、本発明のリードフレームのダウンセット工程を示す説明図である。

【図6】ダウンセット工程が完了したリードフレームの平面図である。

【図7】本発明のリードフレームのテープ接着工程を示す説明図である。

【図8】本発明のリードフレームのテープ接着工程を示す平面図である。

【図9】図8のIX-IX線における断面図である。

【図10】図8のX-X線における断面図である。

【図11】(a) はリードフレームのリード切断工程を示す平面図であり、(b) はそのXI-XI線における断面図である。

【図12】リードフレームのリード切断工程を示す平面図である。

【図13】リードフレームの接着剤塗布工程を示す平面図である。

【図14】リードフレームの接着剤塗布工程を示す断面図である。

【図15】リードフレームの接着剤塗布工程を示す平面図である。

【図16】リードフレームの接着剤塗布工程を示す平面図である。

【図17】リードフレームのチップ搭載工程を示す断面図である。

【図18】リードフレームのチップ搭載工程を示す平面図である。

【図19】リードフレームのチップ搭載工程を示す要部拡大断面図である。

【図20】(a) ~ (c) は、リードフレームのチップ搭載工程を示す要部拡大斜視図である。

【図21】リードフレームのチップ搭載工程を示す平面図である。

【図22】リードフレームのチップ搭載工程を示す断面図である。

【図23】リードフレームのチップ搭載工程を示す平面図である。

【図24】リードフレームのワイヤボンディング工程を示す平面図である。

【図25】リードフレームのワイヤボンディング工程を示す断面図である。

【図26】リードフレームのワイヤボンディング工程を示す断面図である。

【図27】ワイヤボンディング装置のヒートステージを示す平面図である。

【図28】(a), (b) は、ワイヤボンディング装置のヒートステージを示す断面図である。

【図29】本発明のリードフレームを用いたQFPの平面図である。

【図30】本発明のリードフレームを用いたQFPの断面図である。

【図31】リードフレームの他の実施の形態を示す要部拡大平面図である。

【図32】リードフレームの他の実施の形態を示す要部拡大平面図である。

【符号の説明】

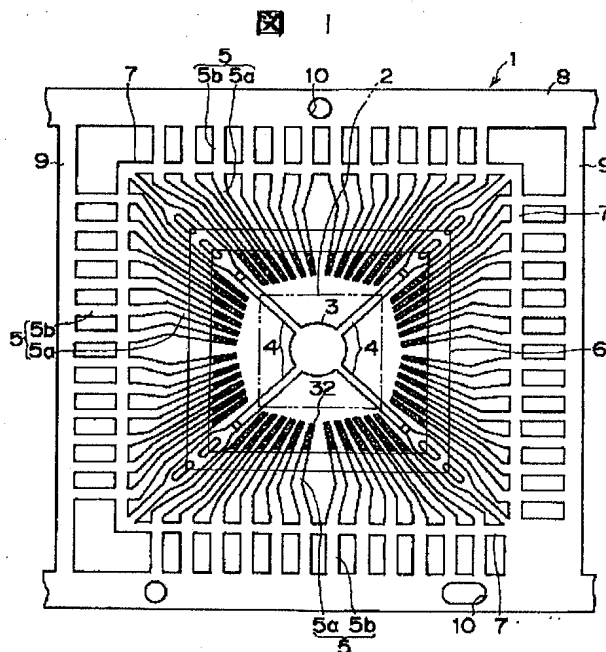
1 リードフレーム

1a リードフレーム

- 1 b リードフレーム
- 2 半導体チップ
- 2 b 半導体チップ
- 3 ダイパッド (チップ搭載部)
- 4 吊りリード
- 5 リード
- 5 a インナーリード部
- 5 b アウターリード部
- 6 テープ
- 6 a フィルム
- 6 b 接着剤
- 7 ダムバー
- 8 外枠
- 9 内枠
- 10 ガイド孔
- 11 バリ
- 12 プレス型
- 13 ヒートステージ
- 14 ツール

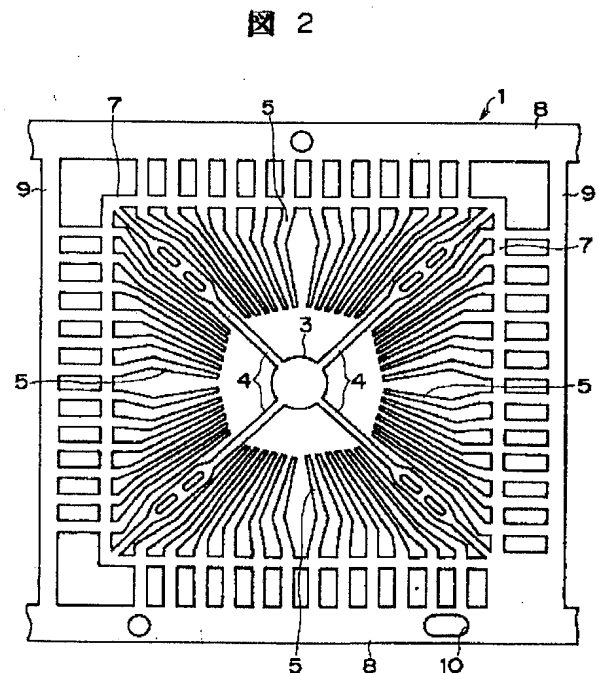
- 15 接着剤
- 16 ステージ
- 17 ディスペンサ
- 18 ノズル
- 19 注入容器
- 20 小パッド
- 21 コレット
- 22 V溝
- 23 突起
- 24 ヒートステージ
- 25 ボンディングパッド
- 26 ワイヤ
- 27 ヒートステージ
- 28 逃げ溝
- 29 パッケージ本体
- 30 表面実装型半導体装置 (QFP)
- 31 貫通孔
- 32 ワイヤボンディング領域 (Agメッキ部)

【図1】



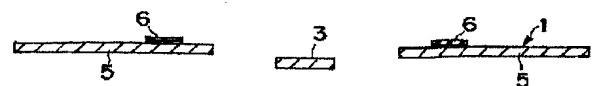
- 1 : リードフレーム
- 2 : 半導体チップ
- 3 : ダイパッド
- 4 : 吊りリード
- 5 : リード

【図2】

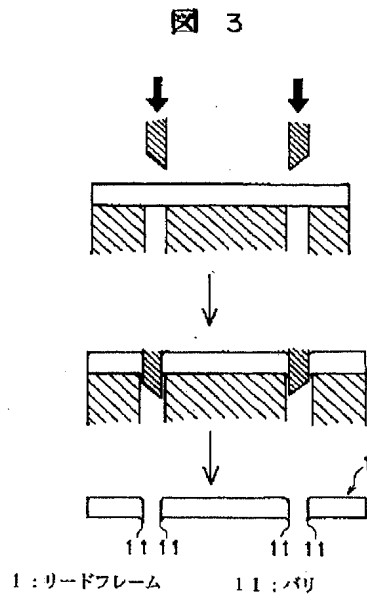


【図9】

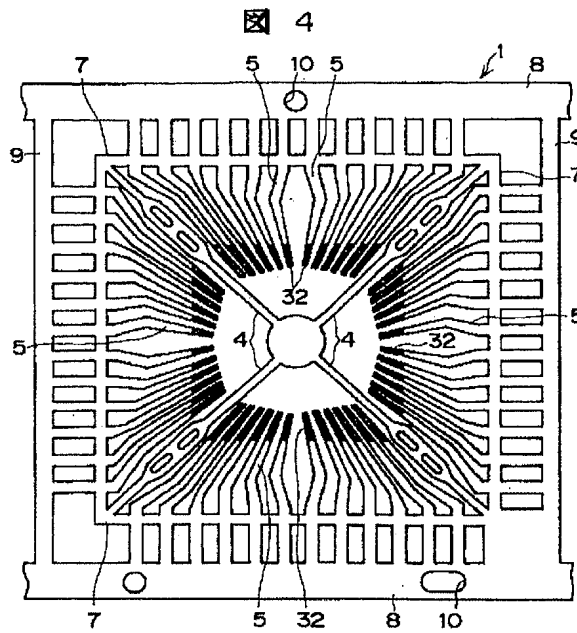
図 9



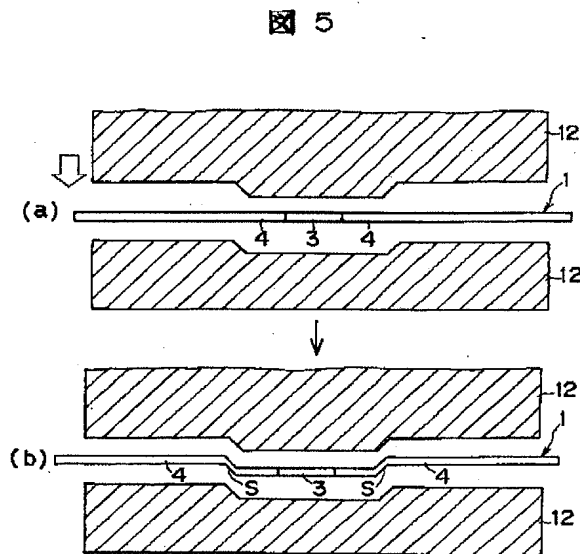
【図3】



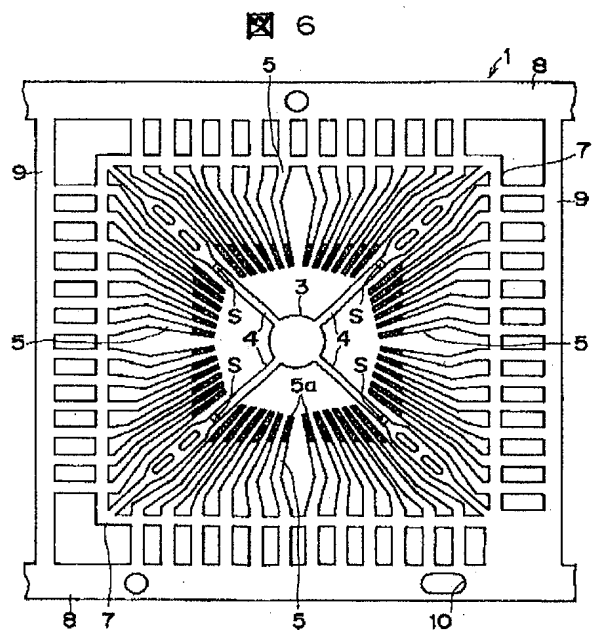
【図4】



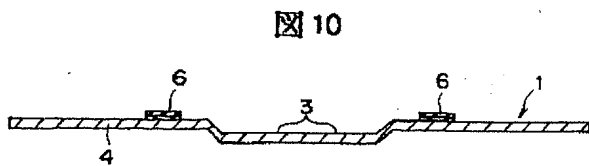
【図5】



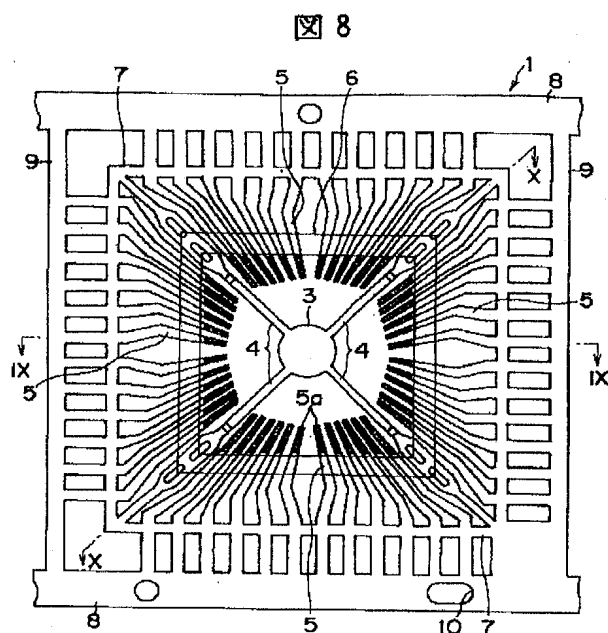
【図6】



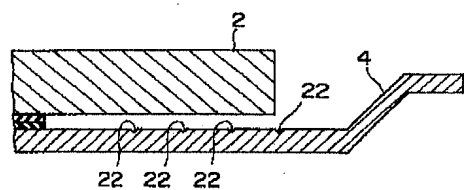
【図10】



【图 8】



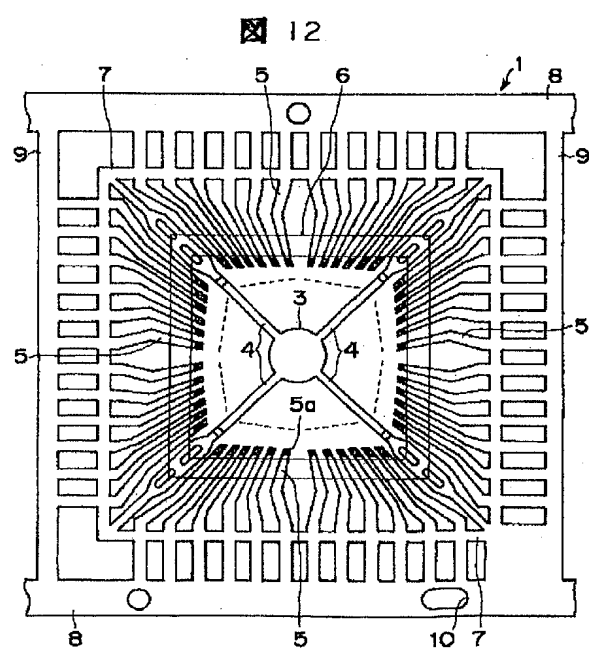
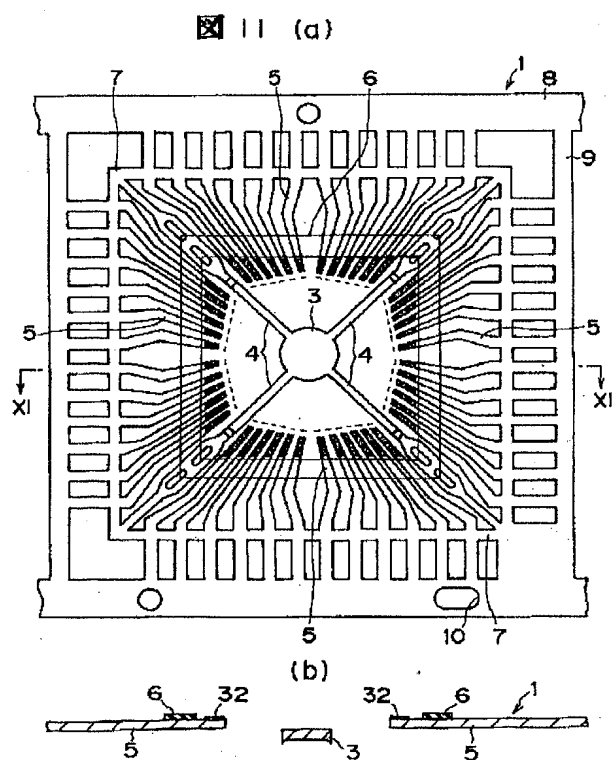
19



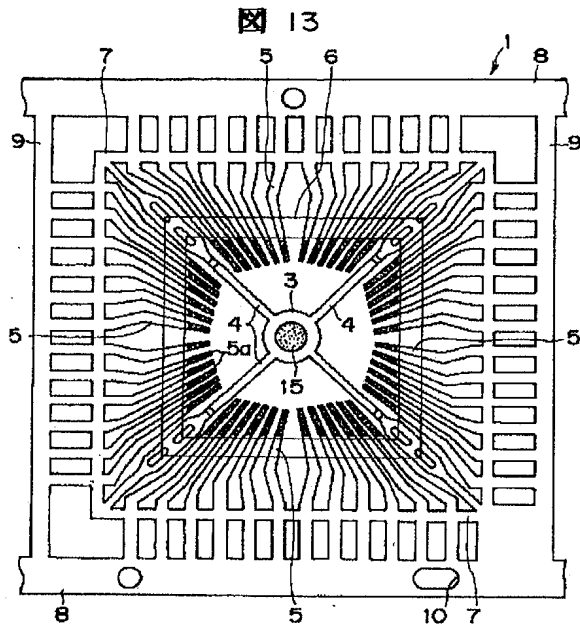
1: リードフレーム  
3: ダイパッド  
4: 吊りリード

5a : インナーリード部  
6 : テープ

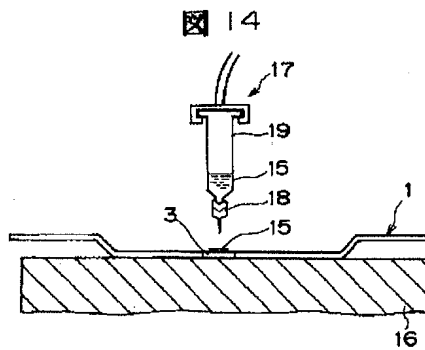
【図 12】



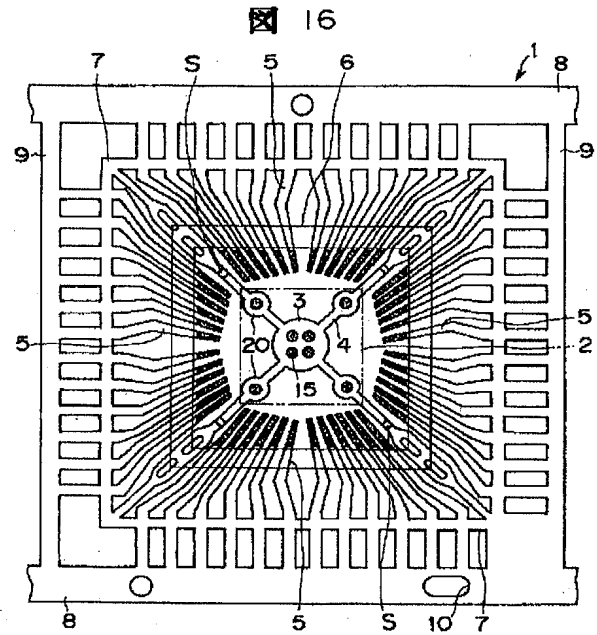
【図13】



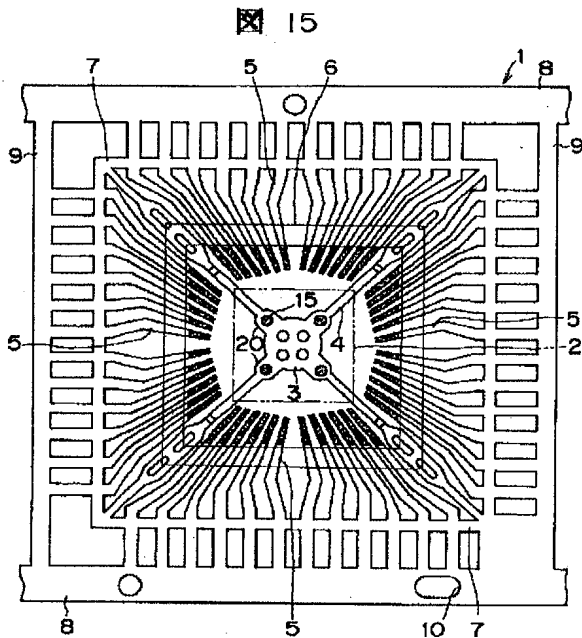
【図14】



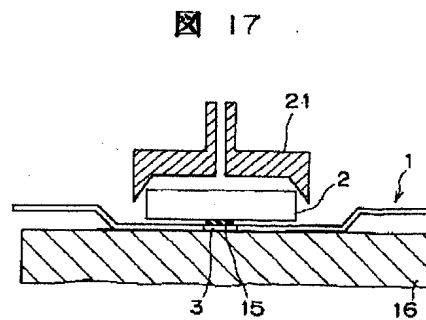
【図16】



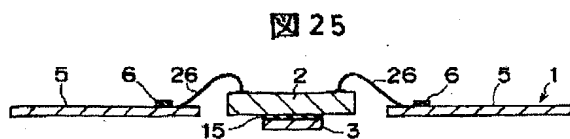
【図15】



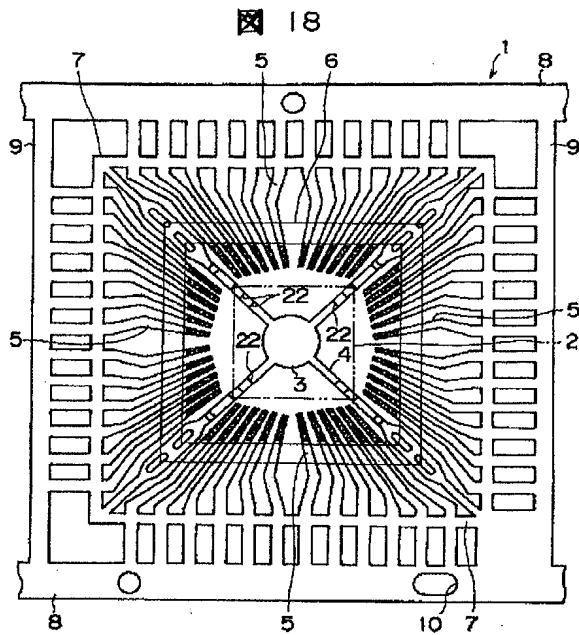
【図17】



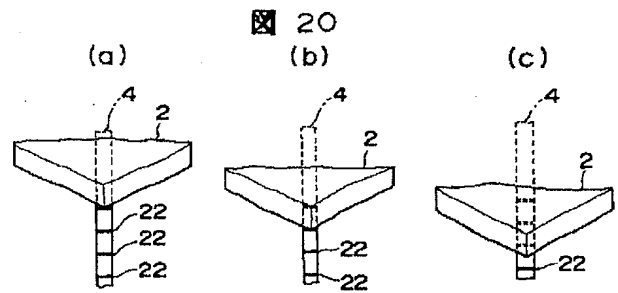
【図25】



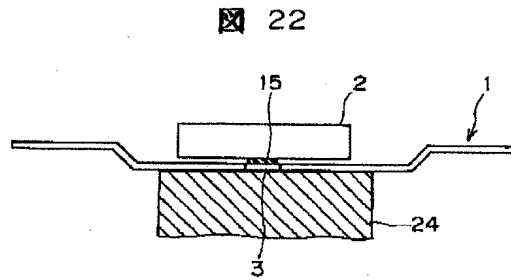
【図18】



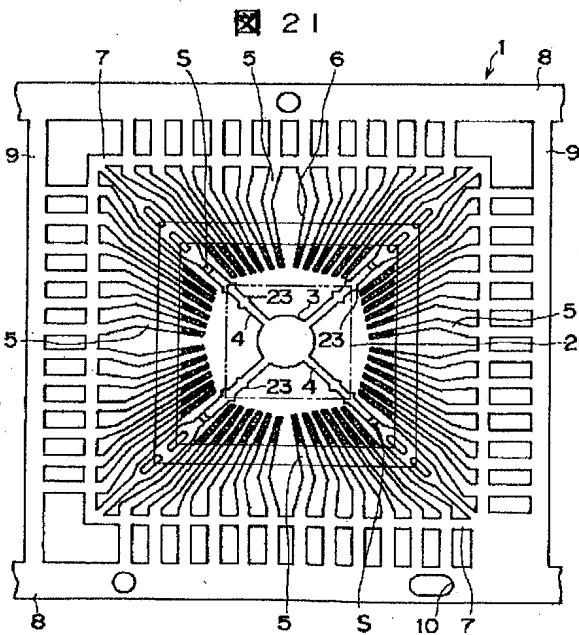
【図20】



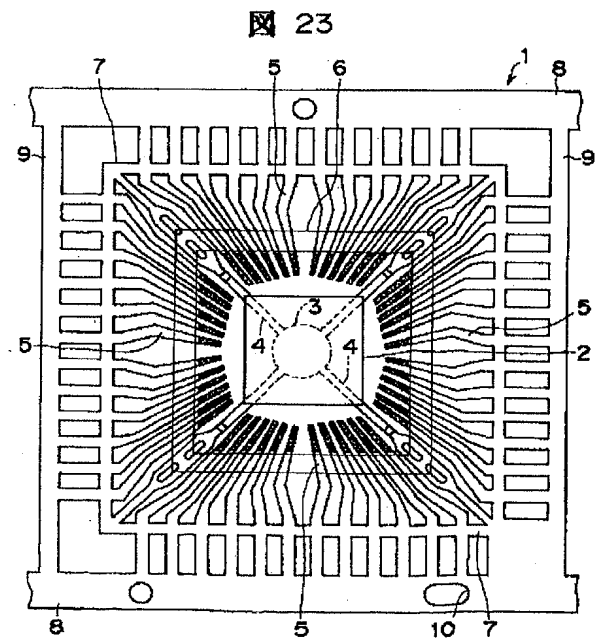
【図22】



【図21】

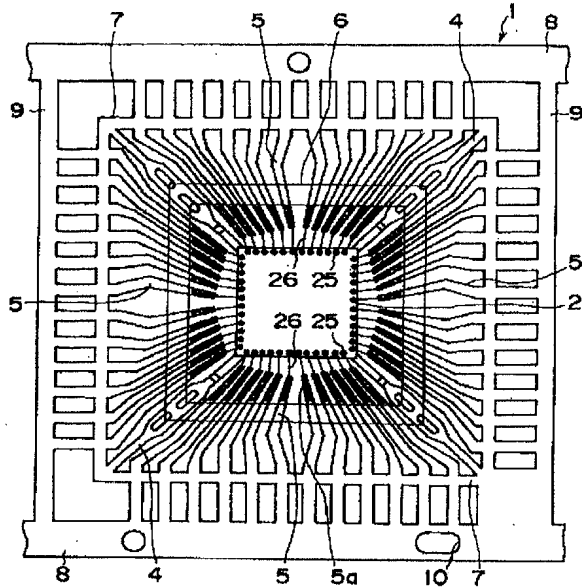


【図23】



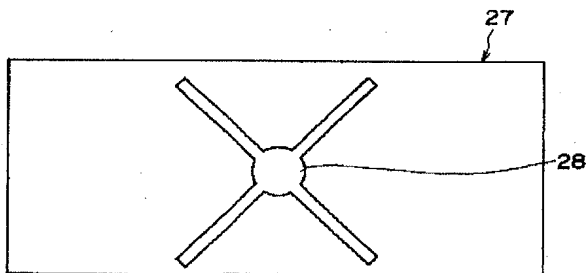
【図24】

図 24



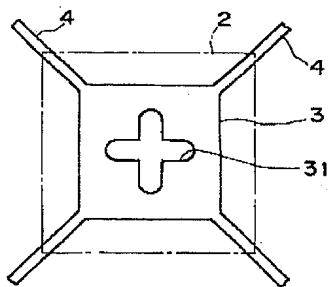
【図27】

図 27



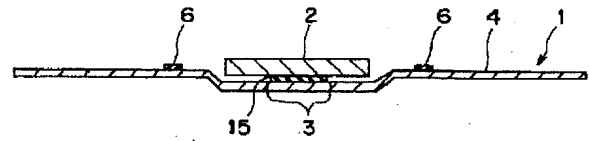
【図31】

図 31



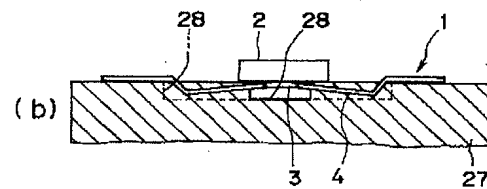
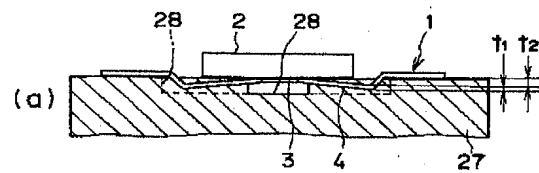
【図26】

図 26



【図28】

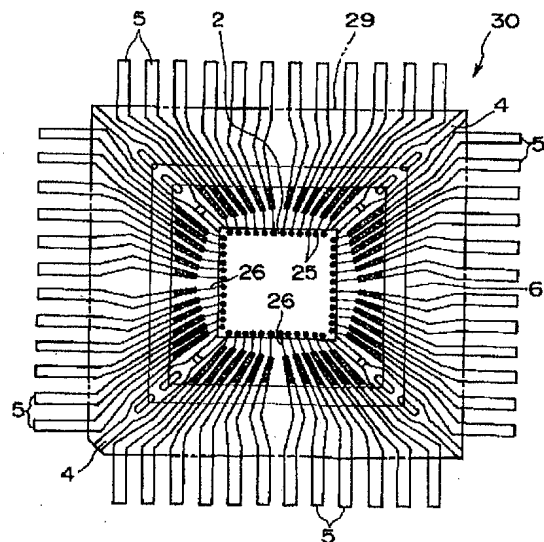
図 28



- 1: リードフレーム      4: 吊りリード  
2: 半導体チップ      27: ヒートステージ  
3: ダイパッド      28: 逃げ溝

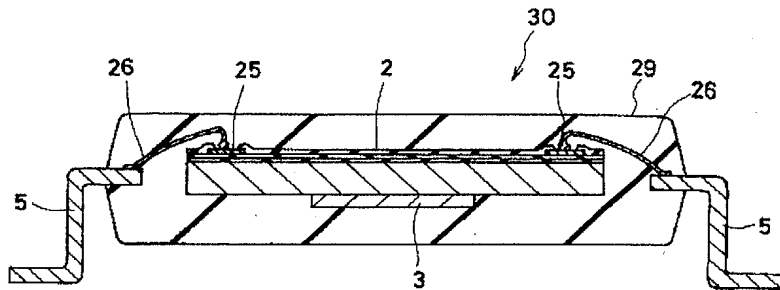
【図29】

図 29



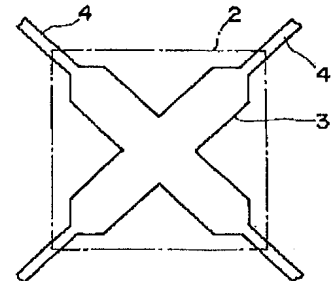
【図30】

図 30



【図32】

図 32



フロントページの続き

(72)発明者 鈴木 一成  
東京都小平市上水本町5丁目22番1号 株  
式会社日立マイコンシステム内

(72)発明者 坪崎 邦宏  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 鈴木 博通  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 宮木 美典  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 内藤 孝洋  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内

(72)発明者 河合 末男  
東京都小平市上水本町5丁目20番1号 株  
式会社日立製作所半導体事業部内